

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02760015 **Image available**

MANUFACTURE OF THIN FILM TYPE SEMICONDUCTOR DEVICE

PUB. NO.: **01-057615** [JP 1057615 A]

PUBLISHED: March 03, 1989 (19890303)

INVENTOR(s): SERIKAWA TADASHI

SHIRAI SEIICHI

OKAMOTO AKIO

SUYAMA SHIRO

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 62-213012 [JP 87213012]

FILED: August 28, 1987 (19870828)

INTL CLASS: [4] H01L-021/20; H01L-021/263; H01L-027/00; H01L-027/12;
H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 774, Vol. 13, No. 264, Pg. 118, June
19, 1989 (19890619)

ABSTRACT

PURPOSE: To improve the semiconductor characteristics and enable a low cost with a high yield by a simple method, by forming an amorphous semiconductor thin film on an insulating substrate, and after crystallizing a partial region thereof, heat-treating the amorphous semiconductor thin film.

CONSTITUTION: An amorphous semiconductor thin film 12a is formed on an insulating substrate 11, and after crystallizing a partial region of the amorphous semiconductor thin film 12a, said amorphous semiconductor thin film 12a is heat-treated. For example, the amorphous semiconductor thin film 12a is deposited on the insulating substrate 11 by a vacuum deposition method or the like, and then only the amorphous semiconductor thin film 12a in a predetermined position of the substrate 11 is crystallized thereby by using laser irradiation, electron beam irradiation, ultrared-ray irradiation, etc., to form a crystallized semiconductor thin film 12b. Then, when a heat treatment is performed at about 500 deg.C for 100hours, a crystallized semiconductor thin film 12c is formed centering the crystallized semiconductor thin film 12b. Thereafter, the crystallized semiconductor thin film 12c is processed to fabricate a thin film type semiconductor device.

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007845856

WPI Acc No: 1989-110968/198915

Mfr. of thin film semiconductor IC device - by crystallising part of
amorphous semiconductor film on substrate, and heat treating NoAbstract

Dwg 3/4

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1057615	A	19890303	JP 87213012	A	19870828	198915 B

Priority Applications (No Type Date): JP 87213012 A 19870828

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1057615	A	5		

Title Terms: MANUFACTURE; THIN; FILM; SEMICONDUCTOR; IC; DEVICE; CRYSTAL;
PART; AMORPHOUS; SEMICONDUCTOR; FILM; SUBSTRATE; HEAT; TREAT;
NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/20; H01L-027/00;

H01L-029/78

File Segment: CPI; EPI

⑫ 公開特許公報(A)

昭64-57615

⑬ Int. Cl.⁴

H 01 L 21/20
21/263
27/00
27/12
29/78

識別記号

3 0 1

3 1 1

庁内整理番号

7739-5F

R-8122-5F

7514-5F

F-7925-5F

⑭ 公開 昭和64年(1989)3月3日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 薄膜形半導体装置の製造方法

⑯ 特 願 昭62-213012

⑰ 出 願 昭62(1987)8月28日

⑱ 発 明 者 芹 川 正 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑱ 発 明 者 白 井 誠 一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑱ 発 明 者 岡 本 章 雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑱ 発 明 者 陶 山 史 朗 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
⑲ 代 理 人 弁理士 山川 政樹 外1名

明 細 書

1. 発明の名称

薄膜形半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁性基板上にアモルファス状半導体薄膜を形成する工程と、前記アモルファス状半導体薄膜の一部領域を結晶化する工程と、前記アモルファス状半導体薄膜を熱処理する工程とを含むことを特徴とする薄膜形半導体装置の製造方法。

(2) 前記アモルファス状半導体薄膜の一部領域の結晶化を、電子ビーム照射法、レーザー光照射法もしくは赤外線照射法により行なうことを特徴とした特許請求の範囲第1項記載の薄膜形半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は三次元集積回路の構成要素あるいは平面ディスプレイ用スイッチング素子として適用される薄膜形半導体装置の製造方法に関するものである。

〔従来の技術〕

薄膜形半導体装置は、近年特に三次元集積回路の構成要素もしくは平面ディスプレイ用スイッチング素子として注目され、各所で研究、開発が精力的に進められている。この種の薄膜形半導体装置は、絶縁性基板上に堆積した0.05 μ m～20 μ mのシリコンもしくはゲルマニウムなどからなる半導体薄膜を基体として構成されており、現在第2図に示したコプラナー構造および第3図に示したスタガー構造のものが最も広く使用されている。これらの半導体装置は、それぞれ第2図および第3図に示すように絶縁性基板21、31上にシリコンもしくはゲルマニウム等からなる半導体薄膜22、32およびゲート絶縁膜23、33並びにゲート電極24、34がそれぞれ順次積層形成されている。さらにその上にはソース電極/ドレイン電極25、35および金属配線26、36が設けられている。

このように 成される半導体装置は、ゲート電極24、34に正もしくは負の電圧を印加すると、

半導体薄膜22, 32の内部および半導体薄膜22, 32とゲート絶縁膜23, 33との界面近傍に多くのキャリアが誘起される。このキャリアがソース電極とドレイン電極との間を流れて金属配線26, 36に出力電圧が現れ、この薄膜形半導体装置は動作する。

以上の説明からも明らかなように薄膜形半導体装置の特性は、その基体となつている半導体薄膜22, 32の特性によつて著しく影響される。通常、上記半導体薄膜22, 32としては、比較的低い温度で大面積基板上に容易に得られる上にアモルファス状のものに比べて高い移動度の性能の優れた薄膜半導体装置が得られることから多結晶半導体装置が用いられている。

近年、特性の優れた多結晶半導体薄膜を得るためには従来から種々の方法が試みられている。例えば多結晶半導体薄膜を得る最も簡便な方法としては、薄膜を真空蒸着法もしくは気相成長法により堆積する際に単に基板の温度を高めることである。ただし、この方法による多結晶半導体薄膜の

- 3 -

アモルファス状半導体薄膜42aの堆積は、真空蒸着法、スパッタリング法もしくは気相成長法等の薄膜形成法を用い、さらに堆積時の温度を低く抑えておくことにより、容易に行える。この後、熱処理を施すと、同図(b)に示すように固相成長により、アモルファス状態の半導体薄膜42aから結晶化状態の半導体薄膜42bが形成される。この熱処理を長時間続けることにより、同図(c)に示すように結晶化状態半導体薄膜42bが基板41の全面に広がる。その後、同図(d)に示すようにこの結晶化状態半導体薄膜42bを加工して第2図もしくは第3図に示す薄膜形半導体装置を製造する。

〔発明が解決しようとする問題点〕

第4図に示した工程により製造した多結晶半導体からなる薄膜形半導体装置は、半導体薄膜堆積時にすでに多結晶状態になつているものに比べて結晶粒の成長速度が大きく、すぐれた半導体薄膜が得られる。しかしながら、この方法にも次に示す2つの大きな問題点がある。すなわちまず、結晶化の核となる点が基板1の表面のどの部分で発

生するか不明であるために同図(b)に示したように基板1の表面全面を結晶化状態半導体薄膜42bとしておく必要がある。したがつてこれに要する時間が極めて長くなり、製造コストが高くなつたり、基板1への歪みや割れが発生し、製造歩留りが低下するなどの問題があつた。また、他の問題点として結晶化の核がどこで何時形成され、さらに結晶化した後の熱履歴が区々となり、薄膜形半導体装置が製造される同図(d)に示す結晶化状態半導体薄膜42bの特性(結晶粒径等)が各半導体装置ごとに大きく異なることにより半導体装置のパラッキが大きくなる。

この種の薄膜形半導体装置の製造は、具体的には第4図に示す工程を経て形成される。すなわち同図(a)に示すようにまず、絶縁性基板41上にアモルファス状半導体薄膜42aを堆積する。このア

- 4 -

生するか不明であるために同図(b)に示したように基板1の表面全面を結晶化状態半導体薄膜42bとしておく必要がある。したがつてこれに要する時間が極めて長くなり、製造コストが高くなつたり、基板1への歪みや割れが発生し、製造歩留りが低下するなどの問題があつた。また、他の問題点として結晶化の核がどこで何時形成され、さらに結晶化した後の熱履歴が区々となり、薄膜形半導体装置が製造される同図(d)に示す結晶化状態半導体薄膜42bの特性(結晶粒径等)が各半導体装置ごとに大きく異なることにより半導体装置のパラッキが大きくなる。

以上説明したように従来の製造方法では、製造歩留りが低くなつたり、薄膜形半導体装置の特性がバラッキなどにより製造コストが高価となつたり、装置の信頼性が損われるなど問題があつた。

したがつて本発明は、前述した従来の問題に鑑みてなされたものであり、その目的は、極めて簡単な方法によつて半導体特性を向上させかつ高歩留りで低コスト化を可能とした薄膜形半導体装置

の製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明による薄膜形半導体装置の製造方法は、アモルファス状態から結晶化状態に移る際の核となる結晶成長核を熱処理を行なう前に予じめ所定の位置に形成するものである。

〔作用〕

本発明においては、結晶成長核が熱処理前に形成されているので、結晶核形成に要する熱処理時間が短縮される。

〔実施例〕

以下、図面を用いて本発明の実施例を詳細に説明する。

第1図(a)~(d)は本発明による薄膜形半導体装置の製造方法の一実施例を説明する工程の断面図である。同図において、まず、同図(a)に示すように絶縁性基板11上にアモルファス状半導体薄膜12aを真空蒸着法、スパッタリング法もしくは気相成長法により堆積する。次に同図(b)に示すように基板11の所定の位置のアモルファス状半導体

薄膜12aのみを結晶化して結晶化状態半導体薄膜12bを形成する。この結晶化にはレーザー照射法、電子ビーム照射法もしくは赤外線照射法により容易に行える。この場合、結晶化状態半導体薄膜12bの幅は数 μm ないし数10 μm の範囲が最も良く、また、その長さおよび形状は薄膜形半導体装置の大きさおよび形状に応じて定めれば良い。このような工程を経た後、固相成長する温度、例えば約500℃で100時間の熱処理を施すと、結晶化状態半導体薄膜12bを中心として同図(c)に示すように熱処理による結晶化状態半導体薄膜12cが形成される。ここで結晶化されずにアモルファス状態に残るアモルファス状半導体薄膜12aがたとえあつても、半導体装置を形成するに充分に狭く結晶化状態半導体薄膜12cが形成された時点で熱処理を終える。その後、同図(d)に示すようにこの結晶化状態半導体薄膜12cを加工して第2図もしくは第3図に示す薄膜形半導体装置を製造する。

このような製造方法によれば、第1図(b)に示すように結晶化の核となる領域に結晶化状態半導体

- 7 -

薄膜12bが熱処理の前にすでに所定の位置に形成されているために結晶核形成に要する熱処理時間が短縮できる。さらに熱処理による結晶化状態半導体薄膜12cが半導体装置形成領域に達していれば同図(c)に示すように基板11の表面全面を結晶化する必要はない。したがって熱処理時間を大幅に短縮でき、製造コストを低くしたり、基板11への歪みや割れの導入を阻止でき、製造歩留りを向上できる。また、結晶核となる領域(同図の結晶化状態半導体薄膜12b)と、半導体装置を形成する結晶化領域(同図(c)の結晶化状態半導体薄膜12c)との相対位置を予じめ定めておくことができるので、すなわち結晶化のための核の位置が予じめ定められているために結晶化した後の熱履歴がいずれの半導体装置でも同じとなるので、半導体装置の特性のバラツキを小さくできる。

なお、前述した実施例において、結晶化状態半導体薄膜12bを熱処理する温度は、その融点よりも低い、例えば約300℃で行なうことも可能である。ただし、この場合、処理時間を要する。また、

- 8 -

その融点よりも高い、例えば約1000℃で行なうことも可能である。ただし、この場合、結晶化状態半導体薄膜12bの一部分の熱処理が短時間で可能となるが、絶縁性基板1の劣化およびこの絶縁性基板1に形成されている他の素子の特性劣化等が発生する場合があります。したがって熱処理温度は、生産性、特性等を考慮して結晶化状態半導体薄膜12bの固相成長する温度で熱処理を施すことが全ての面から好適である。

〔発明の効果〕

以上説明したように本発明によれば、結晶化のための核を予じめ所定の位置に形成してあるために従来の方法に比べて製造歩留りが向上し、薄膜形半導体装置を安価に形成できるとともに薄膜形半導体装置の特性を大幅に向上できるという極めて優れた効果が得られる。

4. 図面の簡単な説明

第1図(a)~(d)は本発明による薄膜形半導体装置の製造方法の一実施例を示す工程の断面図、第2図、第3図は最も広く使用されているコプラナー

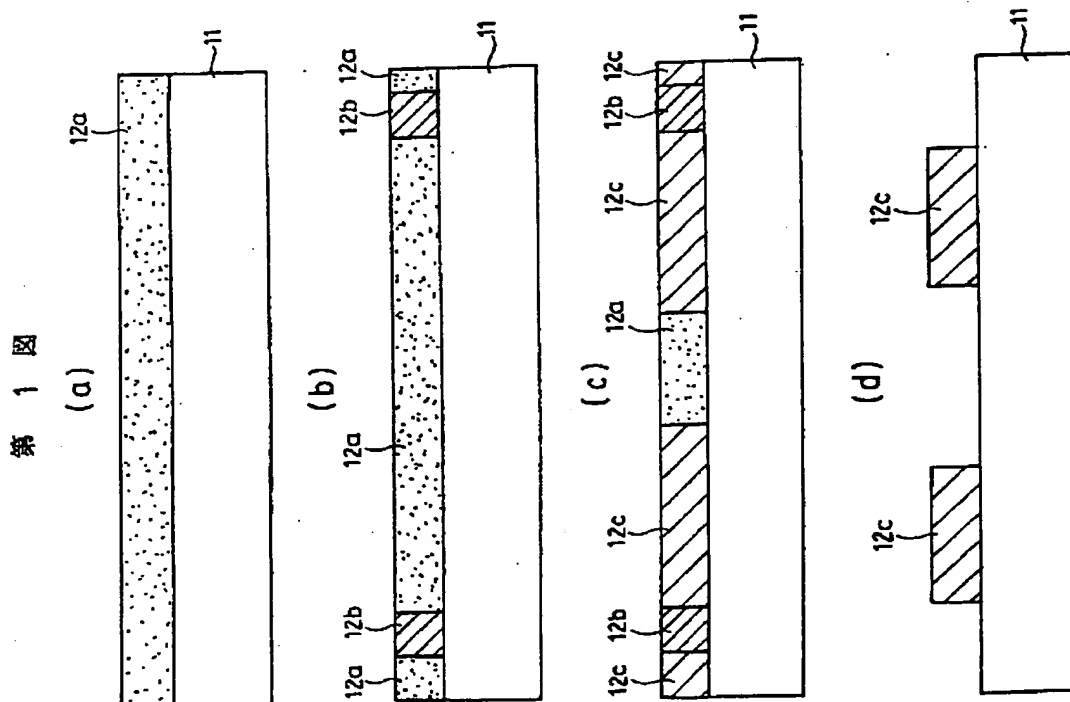
構造、スタガー構造の薄膜形半導体装置の断面図、
第4図は従来の薄膜形半導体装置の製造方法の工
程を示す断面図である。

11, 21, 31, 41 絶縁性基板、22 ,
32 半導体薄膜、23 , 33 ゲ
ート絶縁膜、24 , 34 ゲート電極、25 ,
35 ソース電極/ドレイン電極、26 ,
36 金属配線、42a , 12a アモ
ルファス状態半導体薄膜、42b , 12b , 12c . .
. 結晶化状態半導体薄膜。

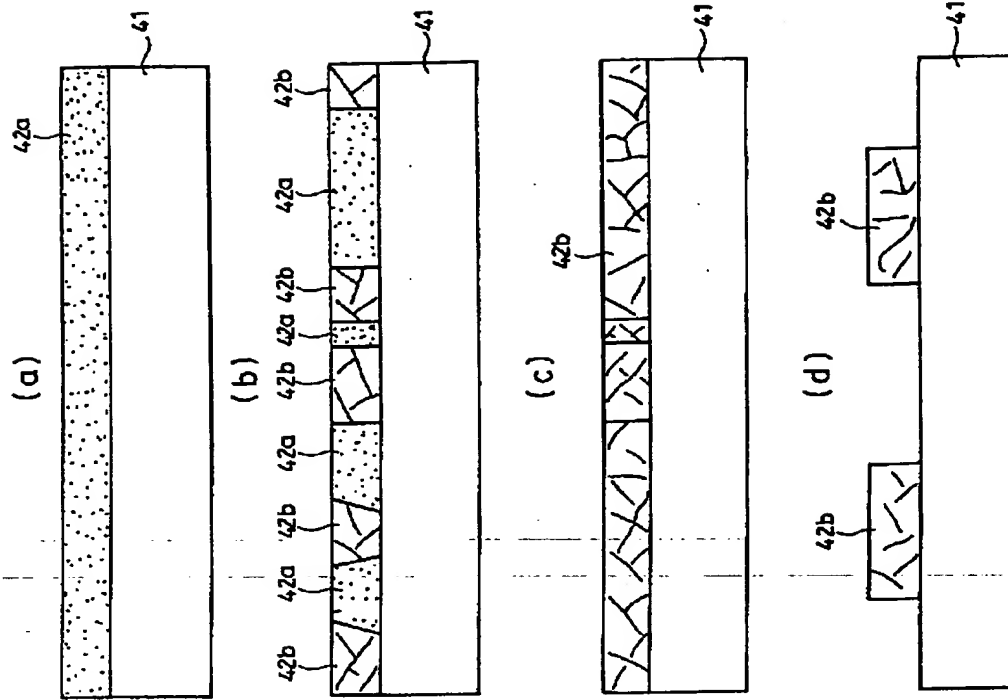
特許出願人 日本電信電話株式会社

代理人 山川政樹(ほか1名)

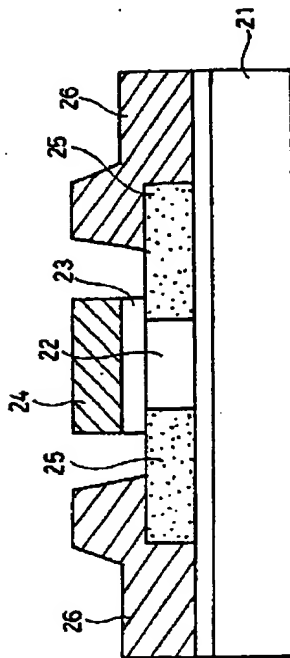
-11-



第 4 図



第 2 図



第 3 図

